

超导单磁通量子数字电路的全加器设计与应用探索

杨若婷^{1,2,3}, 任 洁^{1,2,3}, 高小平^{1,2}, 王 镇^{1,2,3}

(1. 中国科学院上海微系统与信息技术研究所信息功能材料国家重点实验室, 上海 200050;
2. 中国科学院超导电子学卓越创新中心, 上海 200050; 3. 中国科学院大学, 北京 100049)

摘 要: 随着超导单磁通量子(Single Flux Quantum, SFQ)数字电路的集成度规模不断提升, 基于SFQ标准单元库及知识产权(Intellectual Property, IP)电路的设计将会逐渐取代原有的专用定制化数字电路设计的方式. 与此同时, IP电路也可以作为新设计方法研究和新工艺及单元库可靠性的验证电路. 本文选择大规模数字电路中的基础运算单元全加器为研究对象, 希望能在尚在开发中的工艺下得到一个更加稳定工作和完整测试功能的全加器. 本文基于自研SIMIT Nb03工艺上开发的SFQ单元库, 设计了两种类型的全加器, 且实现了全加器逻辑功能和工作性能的低频与高频测试表征. 本文的第二种单级型全加器跟同类型的其他全加器相比, 在保证结数量和面积消耗偏小的优势下, 又减少了设计难度和便于灵活扩展, 使得其在电路IP化使用中也具有指导意义. 低频测试结果表明, 两种全加器均正确工作, 其中单级型全加器具备良好的工作阈值. 该款全加器的高频测试显示电路最高工作频率可达22 GHz. 本文对测试结果进行详细分析, 并基于此针对大规模电路实现开展简单应用探索.

关键词: 超导数字电路; 单磁通量子电路; 知识产权电路; 自研工艺; 全加器

基金项目: 中国科学院战略性先导科技专项(A类)-超导计算机研发(No.XDA18000000); 上海市科学技术委员会科研计划项目-超导SFQ器件与小规模集成电路基础研究(No.17JC1401100)

中图分类号: TP331.2 **文献标识码:** A **文章编号:** 0372-2112(2023)02-0307-07

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20210014

Design and Application of Full Adder in Single Flux Quantum Circuits

YANG Ruo-ting^{1,2,3}, REN Jie^{1,2,3}, GAO Xiao-ping^{1,2}, WANG Zhen^{1,2,3}

(1. State Key Laboratory of Functional Materials for Informatics, Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China;
2. Center for Excellence in Superconducting Electronics, Chinese Academy of Sciences, Shanghai 200050, China;
3. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: With the increase of integration of SFQ (Single Flux Quantum) digital circuits, large scale SFQ circuits design flow based on standard cell library and IP (Intellectual Property) is gradually replacing the full custom flow that is widely used in ASIC design. Meanwhile, IP circuits are also playing important roles in robustness verification of cell library of new fabrication process as benchmark circuits. As one of the most fundamental arithmetic elements, full adder (FA) is considered to be a significant IP that provides some guidelines for large scale circuits' design, and we hope to design a stable working FA with complete correct test function under our developing fabrication process. In this paper, we have demonstrated two kinds of FA using our SIMIT Nb03 cell library, and tested their logic function and working performance under both low and high frequency clock. Compared to other FAs of the same type, our single-stage FA reduces the design difficulty and is flexible to expand while keeping the advantages of less junctions and smaller area consumption, making it instructive in IP usage. Our two FAs have tested correct function under low frequency clock, and the single-stage FA has wide working margin. The high frequency test results indicate that the single-stage FA is able to work up to 22GHz clock frequency. Whereafter, analysis of test results is discussed, and the application exploration of large-scale circuits is carried out in the last.

Key words: superconducting digital circuits; single-flux-quantum circuits; intellectual property circuits; self-developed fabrication process; full adder

Foundation Item(s): Strategic Priority Research Program of The Chinese Academy of Sciences (No.XDA18000000); Shanghai Science and Technology Committee (No.17JC1401100)

1 引言

超导单磁通量子(Single Flux Quantum, SFQ)数字电路^[1]是一种基于超导材料和器件的一种集成电路,电路由约瑟夫森结实现开关控制,由内部环路中是否有磁通量子 Φ_0 来标识数字逻辑“1”“0”。跟传统半导体CMOS电路相比,磁通量子的微小和量化性质显著减少了串扰的影响和功耗,其皮秒级的开关触发时间使得由它搭建的电路具有更快的工作速度和更低的功耗。正是因为这些优势,在后摩尔时代,SFQ电路在应用中有着显著的前景,可以轻松解决目前CMOS电路中超高集成度带来的散热问题和器件的工作频率极限问题。

SFQ数字电路在规模较小的时候大多采用全定制的设计方法,但随着电路集成度的逐步提升,基于标准单元库以及知识产权(Intellectual Property, IP)电路的设计方式被更多的设计者接纳和采用,成为大规模SFQ电路的新流程。同时,在SFQ工艺开发和单元库研制的过程中,IP电路也可以作为检测可靠性和稳定性的验证电路。全加器(Full Adder, FA)作为最基础的运算IP电路,是复杂运算电路例如乘法器^[2,3]和快速傅里叶变换计算^[4]中的重要组成部分。因此,对全加器IP电路的研究具有一定的价值,可以为大规模电路的设计起到指导作用。同时一款性能良好的全加器IP,也能保证后续设计中使用它的大规模电路的核心部分的工作稳定。

目前国际上已经报道实现的SFQ全加器根本设计方法可以分为两种。一种是与CMOS电路一样,直接由多级运算逻辑门设计而成^[5-8]。这种多级电路的结构更加容易实现更高的工作频率和更为可靠的电路性能。另一种是采用定制的单级复杂逻辑门实现全加器^[1,9],功耗和面积会更小。目前国际上的多级全加器规模都很大,对工艺要求较高,而定制的单级全加器或许会有更好的性能,但是在设计能力和参数优化上都对设计者提出很高要求,后续也难以扩展。

在本文的工作中,我们希望在现有尚不能与CMOS稳定度媲美的工艺下,得到一个更稳定工作的全加器,所以本文基于SIMIT Nb03工艺上开发的单元库设计了两种类型的FA,对它们的逻辑功能和性能分别在高频和低频时钟下进行了测试对比。这是国内利用自研Nb03工艺做出的第一个具有一定功能的逻辑电路,FA2也是早期第一个在低频和高频下都测出的电路,具有一定工作阈值,说明了电路工作的稳定性。其利用已有标准单元库组合搭成的单级电路,既保证了结数量和面积的消耗偏小,又减少了设计难度和便于灵活扩展,使得其在电路IP化使用中也具有指导意义。后续内容主要按照顺序如下展开:第二部分简单介绍SIMIT

Nb03单元库和工艺,第三部分介绍两种FA的设计过程和仿真结果,第四部分主要介绍制版后测试结果,第五部分是对测试结果的分析、讨论和其应用的展望,第六部分是最后的总结。

2 SIMIT Nb03工艺和单元库简介

2.1 SIMIT Nb03工艺

SIMIT Nb03工艺是以铌(Nb)基三层膜约瑟夫森结(Nb/AlO_x/Nb)为基本器件开发的用于大规模超导集成电路的制造工艺。标准工艺流程拥有具有4层金属的10层掩模层,其中4层金属层分别为3层铌超导层和1层钼(Mo)电阻层。其中一些基本参数列在表1^[10]中。

表1 SIMIT Nb03工艺参数表

方块电阻 R_{\square}	临界电流密度 J_c	片上集成度	金属层
2 Ω	6 kA/cm ²	10 ⁴ JJs/cm ²	4

该工艺为中国第一个也是目前唯一一个超导大规模集成电路制造工艺^[10,11],其相关系列工作已被2020年IRDS^{*}收录。

2.2 SIMIT Nb03单元库

SIMIT Nb03单元库是在同名工艺的基础上开发的PDK(Process Design Kit)和RSFQ(Rapid Single Flux Quantum)单元库。该单元库包括了电路原理图(Schematic)库、版图(layout)库、符号视图(Symbol/Symbol_p)库、Verilog模型库和时序信息(timing information)库。目前该库包含电路种类20余种,版图种类100余种,其中版图的最小单元尺寸(pitch)为30 μm 。所有单元均通过了低频实测验证并且拥有一定的工作阈值^[12]。

3 两种全加器的设计

3.1 电路结构

全加器的功能遵循以下表达式:

$$s_i = a_i \oplus b_i \oplus c_i \quad (1)$$

$$c_{i+1} = a_i \cdot b_i + c_i \cdot (a_i \oplus b_i) \quad (2)$$

其中, s 是全加器的和, c 是全加器的进位。根据这个表达式可以得到一般数字电路中最基础的全加器结构图,如图1所示。根据SFQ电路的特性,单元门分为由时钟控制的逻辑单元和非时钟控制的逻辑单元。时钟控制的逻辑单元的工作需要时钟和数据的配合才能完成,如D触发器(DFF)、与门(AND)和异或门(XOR)。非时钟控制的逻辑单元的工作不需要时钟配合就能完成,大部分为布线单元如约瑟夫森传输线(Josephson Transmission Line, JTL)、分流器(splitter)和合流器(Conflu-

* IRDS™ 2020: Cryogenic Electronics and Quantum Information Processing, <https://irds.ieee.org/editions/2020/cryogenic-electronics-and-quantum-information-processing> 2020

ence Buffer, CB)等都属于这种类型. 图1为一般全加器的结构图,标识为CB即为合流器单元,实现的功能与异步或门相近. 该电路中,大部分逻辑单元由时钟控制,因此该全加器电路具有门级流水线电路(gate-level-pipelining)的特点,吞吐量会随着频率上升,各条路径设计上的平衡性(path-balancing)^[13]使得电路在时序上处理上简单和稳定.

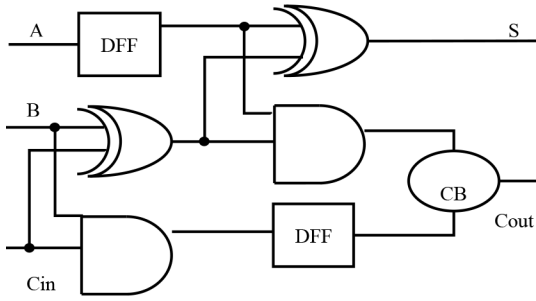


图1 一般全加器结构图

除了上述那种通用结构,还有一些结构也能满足SFQ电路的特点,譬如用CB和T触发器(T Flip-Flop, TFF)组成的单流水级(single-stage)全加器,本文采取一种特殊的TFF——T1D单元和CB一起搭建了图2所示的全加器. T1D单元的状态机如图3所示,它的工作由时钟控制,所以将它和不受时钟控制的门电路CB一起,组成单级的电路结构. 采用这样的设计,消耗的逻辑门变得更少,功耗更低,电路面积开销也大幅下降.

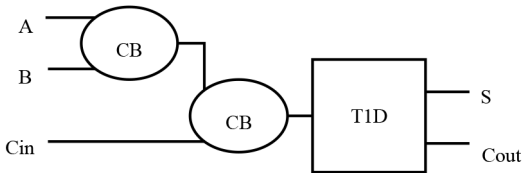


图2 单级全加器结构图

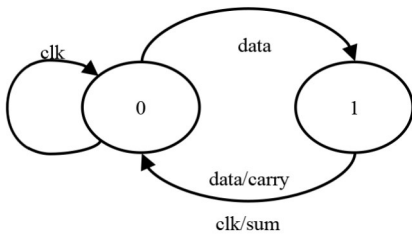


图3 T1D单元状态机

根据上述两种电路逻辑结构,本文基于SIMIT Nb03工艺上开发的单元库设计了采用concurrent-flow^[14]时钟的多级全加器FA1和单级全加器FA2. 搭建完成的电路结构和版图如图4所示.

3.2 仿真结果

在设计完成后,在仿真软件pscan2^[15]中对这两种

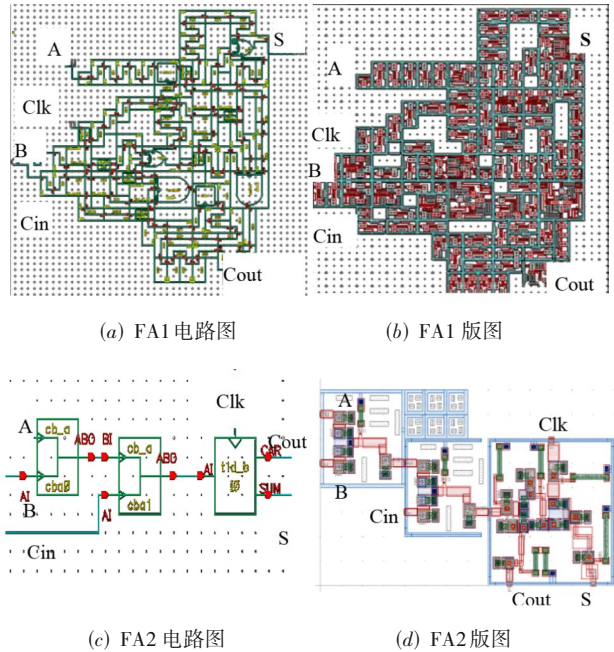


图4 两种全加器的结构图和版图

电路进行仿真,在17.5 GHz的中心设计频率下得到正确的仿真波形,如图5所示,其各个电路性能如表2所示,其中XJ表示偏置电流变化量,XI表示结临界电流变化量,XL表示电路电感变化量. XI,XJ,XL的值越大,说明电路在工艺制造带来的偏差越大下也能正确工作,即电路性能优越.

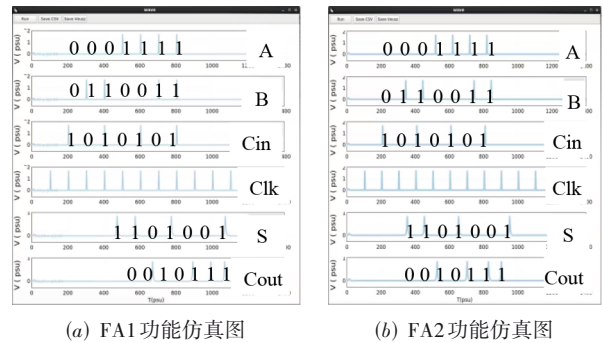


图5 两种全加器的仿真波形

表2 两种全加器的电路仿真性能

电路名字	工作阈值	设计主频	最高仿真频率
FA1	XJ: [-18.60%, 28.96%]	17.5 GHz	33 GHz
	XI: [-18.60%, 21.56%]		
	XL: [-42.20%, 45.68%]		
FA2	XJ: [-12.64%, 30.14%]	17.5 GHz	20 GHz
	XI: [-21.56%, 13.56%]		
	XL: [-41.01%, 27.35%]		

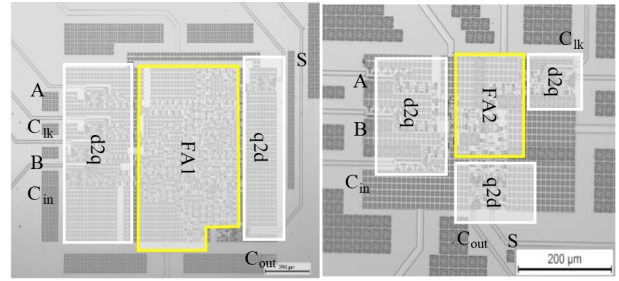
由此可见,两个电路的设计都得到了正确的逻辑功能以及比较可靠的性能.对两个电路进行极限频率下的仿真,结果表明FA1可以工作的最高频率达到33 GHz,FA2则因为T1D自身的工作频率限制,最高工作频率只有20 GHz.

4 测试电路版图和测试结果

4.1 低频测试

FA1和FA2先后在不同的批次中进行流片制作,使用超导集成电路专用测试系统对它们进行了测试.图6为各自的低频测试电路的光镜图,可以看到,每个低频测试电路都由d2q(digital-to-SFQ pulse converter)、电路主体部分和q2d(SFQ pulse-to-digital converter)组成,d2q和q2d是数字电平信号和SFQ脉冲信号之间进行互相转换的接口单元.

低频测试电路的功能验证主要按照以下几个步骤:首先将每个测试向量输入进去,再给每个向量加以时钟信号进行数据的传递,在输出端读取对应向量传输的结果.这两种结构的全加器电路的低

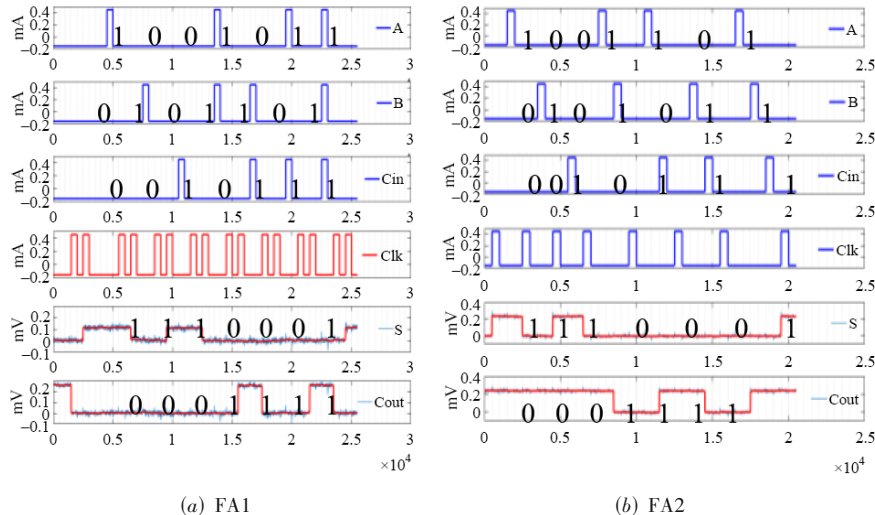


(a) FA1

(b) FA2

图6 两种全加器的低频测试电路在光镜下的照片

频测试结果如图7所示,从图中可以看到,输入的测试依次为A=1001011/1001101,B=0101101/0101011,C_{in}=0010111,输出的测试结果为S=1110001,C_{out}=0001111,符合逻辑运算后的结果,表明两种电路均实现了正确的逻辑功能.图7(b)的FA2电路不仅可以正确工作,还具备稳定的XI,该阈值为(-10%,14%).另外,将两种全加器电路的资源消耗列在表3中,可以看出,和FA1相比,FA2不仅性能稳定,且消耗的结级更少,面积和功耗都有了大幅度降低.



(a) FA1

(b) FA2

图7 两种电路的低频测试结果图

表3 两种电路的电路消耗

电路名字	约瑟夫森结数	功率/ μW	版图面积/ μm^2
FA1	242	97.41	540×660
FA2	22	11.63	210×120

4.2 高频测试

SFQ电路的高频测试电路结构相较于低频测试有所不同,由于当前的超导测试系统只能输入和读取低频的信号,采取了片上高频测试^[16]的电路结构.除了d2q,q2d和电路主体部分这些与低频测试电路共同的部分外,还多了片上的高频信号发生器电路(Clock Generator,CG)作为超导高频时钟输入,输入输出移位

寄存器(Shift Register,SR)来进行测试向量的存储.高频测试电路的功能验证主要按照以下几个步骤进行:首先用低频时钟将每个输入测试向量传递到输入SR中进行存储,再用高频时钟信号将SR中的测试向量依次传递进主体电路进行电路内部的运算,输出的结果会在高频时钟下传递到输出SR中进行存储,最后再用低频的时钟信号将保存在输出SR中的计算结果读出.

本文对两款电路进行高频测试,其中FA2测出了正确的功能,其高频测试电路光镜图如图8所示.

图9是FA2的功能测试图,将测试波形和逻辑计算的对比可以看到高频测试下得到的功能是正确的,该

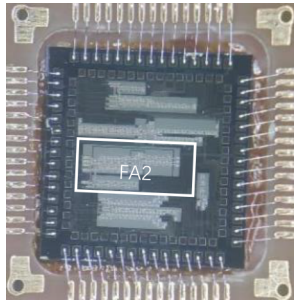


图8 FA2的高频测试电路在光镜下的照片

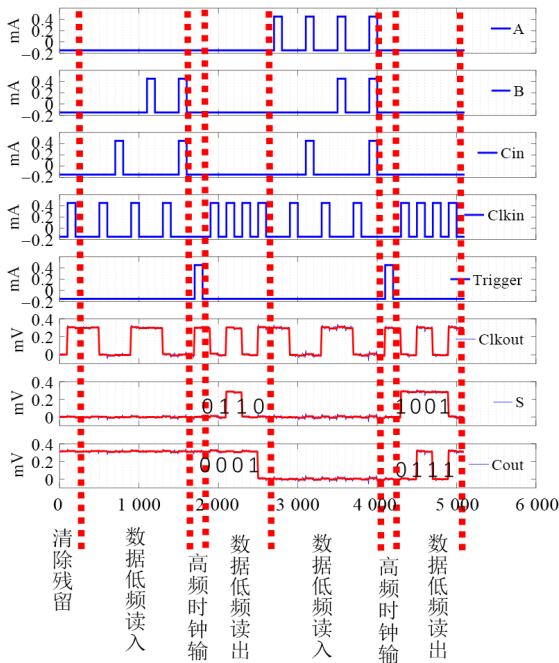


图9 FA2高频电路功能测试图像

电路测试得到的最大偏置电流工作阈值为(-6%, 24%),最高电路工作频率为22 GHz.

5 结果讨论和应用探索

5.1 两种全加器测试结果分析

从上述两种全加器的低频测试结果可以看出,两种电路都能实现正确的功能,但是FA2电路具备一定的电流阈值,更加稳定. 尝试利用测试结果进行FA1电路工作受限原因分析,在FA1电路中,以第一级的单元

门命名为AND1/DFF1/XOR1,第二级的单元门命名为AND2/DFF2/XOR2为例,每个输入pattern数据经过的逻辑门为这两级门的一些排列组合,即一共有四条支路. 对每条支路取各自的偏置电流阈值作图,得到图10所示的统计图.

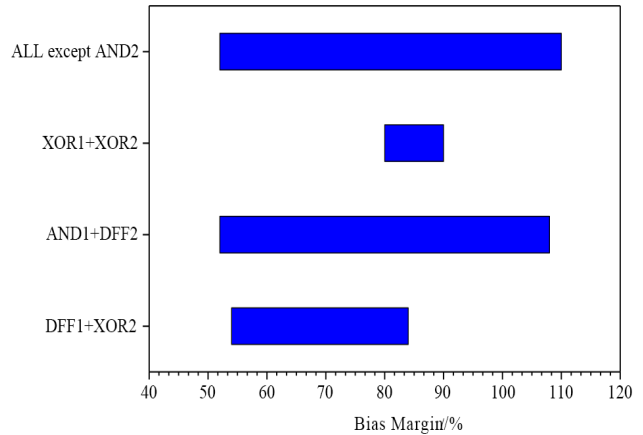


图10 FA1电路中各个输出路径的偏置电流工作阈值

可以看到尽管有些路径上有很大的阈值,但是XOR1+XOR2路径上阈值很小,限制了电路的整体性能. 这既跟使用到的单元库中该单元的稳定性有关,也跟工艺制造的稳定性有关,还跟该支路上的时序稳定性有一定的关联. 因此采用single-stage设计方法设计电路消耗更少的单元即降低电路设计的规模,可以提高电路的性能稳定性的概率. 从FA1的高频电路测试输出没有测出,也可以更好地说明这一点. 当前国内超导工艺大规模集成尚不稳定的情况下,IP的设计采取相对简单易行的结构比复杂的结构在资源的消耗方面具备更多优势,也可以更大概率地提升IP电路的性能和稳定性.

5.2 与其他全加器的对比分析

从之前的仿真结果和测试结果对比可以看出,FA1类型的传统全加器虽然在速度上有优势,但是更多单元的使用增加了电路性能不稳定的概率. 对于FA2类型的single-stage全加器,将本文的设计与其他几种single-stage的全加器做对比分析,对比结果如表4所示.

表4 几种single-stage全加器

电路名字	约瑟夫森结数	偏置电流工作阈值	版图面积/ μm^2	低频测试工作阈值	实测最高速度/GHz
FA2	22	[-21.56%, 13.56%]	210 × 120	[-10%, 14%]	22
Complex-cell 1 ^[17]	84	~5%	200 × 400	-	-
Complex-cell 2 ^[18]	22	[-25%, 25%]	230 × 110	[-20%, 20%]	23*
Push-forward cell 1 ^[19]	19	[-26.6%, 40%]	-	[-20%, 20%]	-

其中,“-”表示文献中没有说明,对于测试中那一栏,没有进行或者没有得出测试结果;“*”的部分是在

只有两个输入向量下得到的. 可以看出:首先,本文设计的FA2在面积上是最小的;其次,该电路中整体的

资源消耗即约瑟夫森结也相对较少。在高频测试方面,表格中有两个电路没有进行或者没有测出高频功能,complex-cell2的高频测试结果看上去最好,但是在测试时只输入了两个测试向量,测试向量相对简单。而本文展示的电路除了在高频下测出了跟仿真相匹配的最高工作频率外,还能在高频下稳定地、在一定工作阈值下工作,可见该电路的稳定性优势还是很明显的。

从电路结构方面看,表中列举的电路除了complex-cell1是用两个单元组合起来以外,其他的几种single-stage是做成了单个复杂逻辑门。本文提到的FA2主要是调用已有的SFQ标准单元库里的单元进行设计,设计的周期和难度大大降低,相比同类型组合的complex-cell1来说结消耗和面积也更少。复杂单元门的设计或许可以带来更高的性能,但是过于复杂的结构除了带来优化的难度外,也会存在其他方面需要考虑的因素,譬如版图的绘制、工艺升级后的改版设计等,在这些方面FA2的电路在保持小消耗外,设计模式更加灵活,可扩展性更强。

5.3 应用探索

全加器的IP应用层面,最先想到的都是以全加器为基本组成IP的大电路搭建。对最为常见的并行乘法器来说,4 bit的乘法器需要消耗12个全加器,如果每个全加器的结级数从200 JJs下降到20 JJs,那电路总规模可以从千结级降为百结级,电路的功耗也能降低将近一个量级,在现今超导工艺的集成度尚低的情况下,电路的规模大幅降低可以直接提高电路正常工作的概率。

除了作为一般大电路的核心组成部分,还可以基于全加器延伸设计复杂的逻辑门。例如,取一半全加器逻辑的半加逻辑成为三输入的异或门IP,这样避免了重新设计电路原理图所带来的设计和优化上的复杂工作。该门在后面的测试中也得到了稳定的测试结果和工作阈值。目前开发的绝大多数的SFQ单元库都是两输入的逻辑单元,复杂逻辑的三输入单元的设计需要从原理开始,耗时且耗力。如果采取基于小IP延伸设计的拓展复杂逻辑门的方法可以节约时间和精力。

6 总结

本文基于SIMIT Nb03工艺上开发的超导单元库设计并制作了两款全加器电路并实现了测试验证,在低频下它们都能正常工作。单级全加器拥有最高24%的工作阈值,多级全加器的工作阈值受限于其中一个支路而较窄。高频下,单级全加器能够正常工作,最大工作阈值达到30%,最大工作频率为22 GHz。这是国内利用自研Nb03工艺做出的第一个具有一定功能的逻辑

电路,也是早期第一个在低频和高频下都测出的电路。相比其他几种单级全加器,我们在保持了结数目和面积的优势外,还减少了设计难度以及更加便于灵活扩展。对于全加器的IP应用,进行了两个方面的思考,分别是IP作为大电路的核心组成部分和IP的拓展设计为更复杂的逻辑单元。结合目前的超导工艺制造水平和电路的测试良率,当前设计的超导电路设计规模的消耗的降低可以极大概率地提高其能够正确工作的概率,因此如何利用SFQ电路的特点去设计基础运算IP对大规模电路的设计至关重要。本文的研究不仅为大规模电路设计提供了经验积累,也为SFQ电路的应用发展提供一些思考。

参考文献

- [1] LIKHAREV K K, SEMENOV V K. RSFQ logic/memory family: A new Josephson-junction technology for sub-terahertz-clock-frequency digital systems[J]. IEEE Transactions on Applied Superconductivity, 1991, 1(1): 3-28.
- [2] AKAHORI A, TANAKA M, SEKIYA A, et al. Design and demonstration of SFQ pipelined multiplier[J]. IEEE Transactions on Applied Superconductivity, 2003, 13(2): 559-562.
- [3] OBATA K, TANAKA M, TASHIRO Y, et al. Single-flux-quantum integer multiplier with systolic array structure[J]. Physica C: Superconductivity and Its Applications, 2006, 445-448: 1014-1019.
- [4] SAKASHITA Y, YAMANASHI Y, YOSHIKAWA N. High-speed operation of an SFQ butterfly processing circuit for FFT processors using the 10 kA/cm² Nb process [J]. IEEE Transactions on Applied Superconductivity, 2015, 25(3): 1-5.
- [5] KAWASAKI K, YODA K, YOSHIKAWA N, et al. Design and implementation of a high-speed bit-serial SFQ adder based on the binary decision diagram[J]. Superconductor Science & Technology, 2003, 16(12): 1497-1502.
- [6] NAKAMOTO R, SAKURABA S, ONOMI T, et al. 4-bit SFQ multiplier based on booth encoder[J]. IEEE Transactions on Applied Superconductivity, 2011, 21(3): 852-855.
- [7] TANAKA M, AKAIKE H, FUJIMAKI A, et al. 100-GHz single-flux-quantum bit-serial adder based on 10-niobium process[J]. IEEE Transactions on Applied Superconductivity, 2011, 21(3): 792-796.
- [8] KATO T, YAMANASHI Y, YOSHIKAWA N, et al. 60-GHz demonstration of an SFQ half-precision bit-serial floating-point adder using 10 kA/cm² Nb process[C]// Proceedings of the 2013 IEEE International Superconduc-

tive Electronics Conference (ISEC). Cambridge: IEEE, 2013: 1-3.

- [9] KIRICHENKO A, MUKHANOV O. Implementation of novel “push-forward” RSFQ carry-save serial adders[J]. IEEE Transactions on Applied Superconductivity, 1995, 5(2): 3010-3013.
- [10] YING L, ZHANG X, NIU M, et al. Development of multi-layer fabrication process for SFQ large scale integrated digital circuits[J]. IEEE Transactions on Applied Superconductivity, 2021, 31(5): 1-4.
- [11] ZHANG X, YING L, NIU M, et al. Process Control monitoring for fabrication technology of superconducting integrated circuits[J]. IEEE Transactions on Applied Superconductivity, 2021, 31(5): 1-6.
- [12] GAO X, QIAO Q, WANG M, et al. Design and verification of SFQ cell library for superconducting LSI digital circuits[J]. IEEE Transactions on Applied Superconductivity, 2021, 31(5): 1-5.
- [13] KATAM N K, PEDRAM M. Logic optimization, complex cell design, and retiming of single flux quantum circuits[J]. IEEE Transactions on Applied Superconductivity, 2018, 28(7): 1-9.
- [14] GAJ K, FRIEDMAN E G, FELDMAN M J. Timing of multi-gigahertz rapid single flux quantum digital circuits [J]. Journal of VLSI Signal Processing Systems, 1997, 16: 247-276.
- [15] POLONSKY S, SHEVCHENKO P, KIRICHENKO A, et al. PSCAN'96: new software for simulation and optimization of complex RSFQ circuits[J]. IEEE Transactions on Applied Superconductivity, 1997, 7(2): 2685-2689.
- [16] DENG Z J, YOSHIKAWA N, WHITELEY S R, et al. Data-driven self-timed RSFQ digital integrated circuit and system[J]. IEEE Transactions on Applied Superconductivity, 1997, 7(2): 3634-3637.
- [17] CONG H, KATAM N K, PEDRAM M. Design of an SFQ full adder as a single-stage gate[C]//Proceedings of the 2019 IEEE International Superconductive Electronics Conference (ISEC). Riverside: IEEE, 2019: 1-3.
- [18] MUKHANOV O. Design and test of RSFQ full adder[C]// Proceeding of the 4th International Superconductive Electronics Conference (ISEC). Boulder: IEEE, 1993: 2-5.

作者简介



杨若婷 女,1994年生,四川成都人.现为中国科学院上海微系统与信息技术研究所博士.主要研究方向为超导集成电路设计与超导集成电路单元库 verilog 模型建立.

E-mail: yangrt@mail.sim.ac.cn



任洁(通讯作者) 女,1982年生,江苏盐城人.现为中国科学院上海微系统与信息技术研究所研究员.主要研究方向为超导集成电路工艺 PDK、低功耗超导集成电路设计、超导EDA开发.中国电子学会会员编号:E190014814S.

E-mail: jieren@mail.sim.ac.cn



高小平 女,1978年生,江苏南通人,现为中国科学院上海微系统与信息技术研究所副研级高工.主要研究方向为超导集成电路单元库开发、超导集成电路设计.

E-mail: xpgao@mail.sim.ac.cn



王镇 男,1955年生,江苏扬州人.现为中国科学院上海微系统与信息技术研究所研究员,中科院超导电子学卓越创新中心首席科学家.主要研究方向为超导薄膜与超导电子学器件物理、超导传感器与探测器、超导集成电路与量子器件.中国电子学会会员编号:E190014817S.

E-mail: zwang@mail.sim.ac.cn